



航天器环境工程

SPACECRAFT ENVIRONMENT ENGINEERING

——· 中文核心期刊 中国科技核心期刊

国产先进工艺SoC器件空间单粒子效应试验研究

杨榕 杜卓宏 王乾元 李嘉伟 孙毅 吕贺 张洪伟 梅博

Experimental research on space single event effects on homemade SoC device

YANG Rong, DU Zhuohong, WANG Qianyuan, LI Jiawei, SUN Yi, LÜ He, ZHANG Hongwei, MEI Bo

在线阅读 View online: <https://doi.org/10.12126/see.2022.02.012>

您可能感兴趣的其他文章

Articles you may be interested in

[SRAM型FPGA单粒子效应测试方法及试验验证](#)

Testing methods and experimental verification for single event effects of SRAM-based FPGA

航天器环境工程. 2021, 38(5): 534–540 <https://doi.org/10.12126/see.2021.05.007>

[空间质子直接和非直接电离引发单粒子效应的地面等效评估试验方法](#)

Ground-based equivalent test method for single-event effects induced by direct and indirect space proton ionization

航天器环境工程. 2021, 38(3): 351–357 <https://doi.org/10.12126/see.2021.03.016>

[磁阻式随机存储器（MRAM）重离子单粒子效应试验研究](#)

Experimental study of single event effect of heavy ions on magneto-resistive random access memory (MRAM) in space applications

航天器环境工程. 2018, 35(6): 561–567 <https://doi.org/10.12126/see.2018.06.009>

[高温环境下SRAM器件单粒子锁定效应试验研究](#)

Experimental study of single event latchup of SRAM device under high temperatures

航天器环境工程. 2019, 36(6): 589–593 <https://doi.org/10.12126/see.2019.06.009>

[低轨互联网卫星在轨单粒子翻转分析及防护措施](#)

Analysis of in-orbit single event upset of low-Earth-orbit internet satellite and protection measures

航天器环境工程. 2021, 38(5): 503–507 <https://doi.org/10.12126/see.2021.05.002>

[一种基于快速可恢复电机驱动电路的单粒子锁定防护设计方法及应用验证](#)

A design method for single event latch-up protection based on rapid and repairable motor driver circuit with application validation

航天器环境工程. 2017, 34(5): 528–532 <https://doi.org/10.12126/see.2017.05.013>

国产先进工艺 SoC 器件空间单粒子效应 试验研究

杨榕¹, 杜卓宏¹, 王乾元^{1,2}, 李嘉伟¹, 孙毅^{1,2}, 吕贺^{1,2}, 张洪伟^{1,2}, 梅博^{1,2*}

(1. 中国航天宇航元器件工程中心; 2. 国防科技工业抗辐照应用技术创新中心; 北京 100029)

摘要: 国产某型号导航 SoC 器件采用 55 nm 商用工艺生产。针对该型器件的辐射敏感性分析表明其易受单粒子效应影响, 为此利用重离子加速器完成空间单粒子辐照的地面模拟试验, 考查器件的单粒子效应, 为其空间应用提供数据支撑。结果表明: 器件抗单粒子锁定的 LET 阈值大于 81.4 MeV·cm²/mg, 满足空间应用指标要求; 但器件对单粒子翻转和单粒子功能中断较为敏感。利用 ForeCAST 软件计算得到 GEO、Adams 90% 最坏环境模型, 3 mm(Al) 屏蔽条件下器件的 DFT 模式单粒子翻转率为 6.80×10⁻⁸ d⁻¹·bit⁻¹, SRAM 模式单粒子翻转率为 5.61×10⁻¹¹ d⁻¹·bit⁻¹, 单粒子功能中断率为 5.24×10⁻⁵ d⁻¹, 在轨应用时需要采取相应的防护措施。

关键词: SoC; 单粒子翻转; 单粒子锁定; 单粒子功能中断; 辐照试验

中图分类号: TN432; V416.5

文献标志码: A

文章编号: 1673-1379(2022)02-0193-07

DOI: [10.12126/see.2022.02.012](https://doi.org/10.12126/see.2022.02.012)

Experimental research on space single event effects on homemade SoC device

YANG Rong¹, DU Zhuohong¹, WANG Qianyuan^{1,2}, LI Jiawei¹, SUN Yi^{1,2},
LÜ He^{1,2}, ZHANG Hongwei^{1,2}, MEI Bo^{1,2*}

(1. China Aerospace Components Engineering Center; 2. Anti-Irradiation Application Technology Innovation Center,
National Defense Technology Industry: Beijing 100029, China)

Abstract: A certain homemade aerospace SoC device is manufactured by the 55 nm commercial process. The in-depth analysis of radiation vulnerability of this kind of device indicates that the space single-particle effects deserve a special attention. In this paper, the heavy ions from the high-energy accelerator are used to conduct the space single-particle simulation test. It is shown that the LET threshold of the device's anti-SEL ability is greater than 81.4 MeV·cm²/mg, which meet the requirement for the inflight application. The device is sensitive to the single event upset(SEU) effect. The SEU probability under the SCAN chain mode calculated by the ForeCAST software is 6.80×10⁻⁸ times per day per bit. So it is necessary to take protection measures against the single event upset in orbit applications.

Keywords: SoC; single event upset; single event latch-up; single event function interrupt; irradiation test

收稿日期: 2021-06-30; 修回日期: 2022-02-14

基金项目: 国家自然科学基金项目“宇航用双互锁存储单元单粒子翻转行为及在轨预计建模研究”(编号: 11805271)

引用格式: 杨榕, 杜卓宏, 王乾元, 等. 国产先进工艺 SoC 器件空间单粒子效应试验研究[J]. 航天器环境工程, 2022, 39(2): 193-199

YANG R, DU Z H, WANG Q Y, et al. Experimental research on space single event effects on homemade SoC device[J]. Spacecraft Environment Engineering, 2022, 39(2): 193-199

0 引言

导航卫星主要运行在地球静止轨道(GEO)和中地球轨道(MEO)。在 GEO, 卫星受到银河宇宙线和太阳宇宙线的重离子辐射的影响, 其半导体器件会产生瞬时或永久性辐射效应, 导致器件性能退化或功能丧失, 进而引发卫星在轨异常。

国产 NS9xxU 型 SoC 器件是一款用于 GEO 导航卫星的多频多模信号处理器件, 采用体硅 55 nm 1P7M CMOS 工艺制造, 电路规模约为 3000 万门。器件由导航基带、外设接口及处理器部分组成^[1-3], 最多可支持 7 个频点的 A/D 数据输入, 包括 GPS 的 L1、L2 频点, 北斗的 B1、B2、B3 频点以及 Glonass 的 L1f、L2f 频点。捕获模块支持对上述频点的快速捕获; 跟踪模块实现对上述频点的跟踪。导航基带模块可实现跟踪通道环路的闭环跟踪, 包括载波跟踪和码环跟踪^[4]。外设接口应包含 Uart、SPI、SPF、I2C、GPIO、看门狗和 1PPS 等接口。SoC 器件能通过 CAN 或 1553B 总线与星务进行数据交互^[5]。处理器部分采用双核结构, 具有: 1) 内部运算单元完成指令的解析运算; 2) PLL 部分支持处理器时钟的工作频率配置; 3) SRAM 单元供程序的在线运行; 4) 数据交互功能^[6]。因器件结构复杂且对辐射敏感, 空间应用须关注其抗辐射能力是否满足要求。

本文针对 SoC 器件, 结合器件功能及应用于 GEO 的环境剖面, 开展空间单粒子辐射敏感性分析, 设计器件单粒子效应测试系统, 并利用 HI-13 串行加速器及 HIRFL 回旋加速器开展地面模拟重离子单粒子效应测试及分析; 结合 ForeCAST 在轨预示软件, 对器件在轨单粒子翻转率进行计算, 为器件的空间应用提供参考。

1 器件功能及辐射敏感性分析

1.1 器件功能性能

该 SoC 器件的功能验证重点针对其基带功能和 CPU 内核功能, 主要包括电路基本功能模块、接口模块、程序加载、数据交互等功能^[7]。器件功能见图 1。

基带功能指器件对各频点导航信号的捕获跟踪覆盖性; CPU 内核功能包含加载运行功能、Timer

定时器、WatchDog 功能、GPIO 功能、同步串口功能、EBI 总线功能以及双核数据交互功能等^[8]。

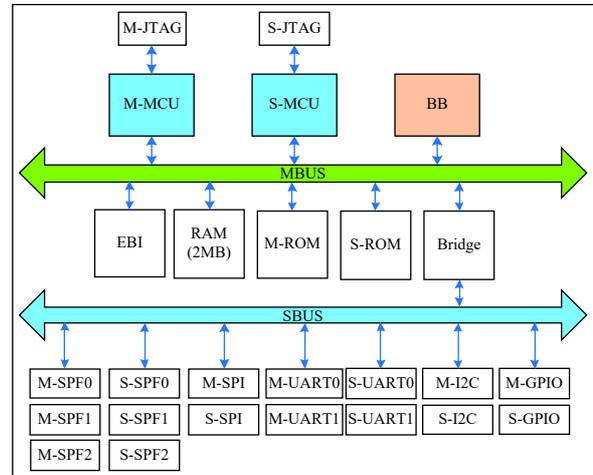


图 1 器件功能框图

Fig. 1 Functional block diagram of the SoC device

根据 SoC 器件的功能和典型应用, 设计了器件的应用偏置电路板, 其原理如图 2 所示。典型应用电路按照 SoC 应用于整机系统的基带板实际电路进行设计^[9]。电路板内部配置 2 个导航信息处理单元, 外部输入的射频信号经过功分器分路后分别送入这 2 个导航信息处理单元; 再经功分器和射频滤波器的分路和选频后, 分别输出至 2 片射频信号处理器件; 每片射频信号处理器件包含 2 路下变频及 A/D 采样处理通道, 可处理 2 个频点的模拟导航信号, 并直接输出数字采样信号^[10]。2 个导航信息处理单元在硬件设计上完全相同且物理设计完全独立, 因此本文仅以其中 1 个单元为例进行描述。

经射频信号处理器件采样后的数字中频信号送至 SoC 的 Baseband 模块, 完成导航信号的捕获、跟踪和环路处理。SoC 内部的 SCore 用于定位解算, 由其从 Baseband 模块中获得卫星的累加量和测量量数据, 根据累加量数据对载波残余频/相差和伪码残余相差进行修正, 根据测量量数据获得各跟踪卫星信号的伪距信息, 经过解算后生成定位和定速结果^[11]。

定位解算完成后, 由 SCore 通过片内交互单元将定位数据和测量量数据发送给 MCore, 由其利用带轨道动力学模型的卡尔曼滤波算法完成实时定轨解算。最后由 MCore 利用同步串口将解算数据、遥测数据、测量量数据等通过板件连接器发送给用户^[12]。

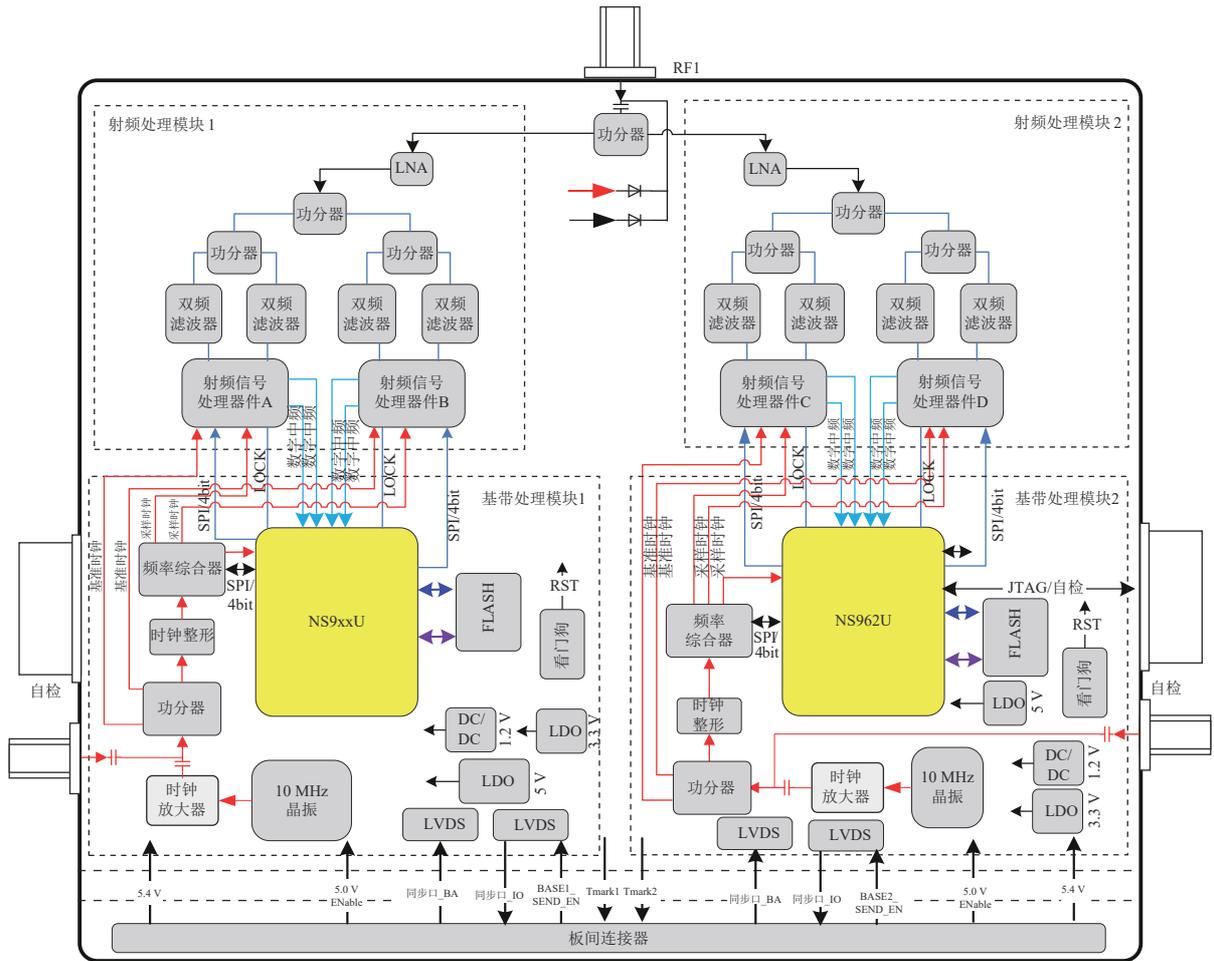


图 2 典型应用电路结构

Fig. 2 Circuit diagram of a typical application

1.2 辐射敏感性分析

CMOS 工艺器件的空间辐射效应包括电离总剂量效应和单粒子效应。前者主要作用于器件的氧化层,如栅氧和场氧等区域,在 Si/SiO₂ 界面形成损伤。对于 NS9xxU 型 SoC 器件,其典型栅氧厚度为 30 Å,理论分析认为超薄栅氧对电离总剂量效应有一定的防护能力;而且前期试验数据表明,该型 SoC 的抗电离总剂量辐射能力大于 100 krad(Si),满足一般宇航型号的抗总剂量辐射指标要求。

采用 CMOS 工艺制造的典型 SoC 器件内部功能复杂,包含寄存器、存储器等结构,因此极易发生单粒子翻转(SEU)和单粒子功能中断(SEFI);而且器件采用 CMOS 双阱工艺制造,存在 NPNP 的晶闸管寄生结构,在单粒子入射情况下,可能触发晶闸管结构,导致电离产生的瞬态电流被放大,诱发单粒子锁定效应(SEL)。因此,本文重点针对 NS9xxU

型 SoC 的单粒子效应,特别是单粒子翻转、单粒子功能中断和单粒子锁定效应开展试验研究。

2 单粒子试验方案

利用重离子对 NS9xxU 型 SoC 器件开展单粒子效应测试试验。试验分别在中国原子能科学研究所的 HI-13 串列加速器及中国科学院兰州近代物理研究所的 HIRFL 回旋加速器上进行。具体试验方案如下。

2.1 试验样品

NS9xxU 型 SoC 采用体硅 55 nm 1P7M CMOS 工艺制造, Q208P2 封装。试验前对器件进行化学、机械开封装,使内部芯片裸露,便于加速器离子进行辐照。试验样品共 3 只,分别编号为 1#、2#、3#。

2.2 试验测试系统

根据器件功能和应用条件设计了单粒子效应测试系统,主要包含可编程直流电源、硬件板卡及

上位机等。如图3所示，由NI可编程电源通过电源接口为待测器件供电，上位机对器件输出状态进行实时监测。

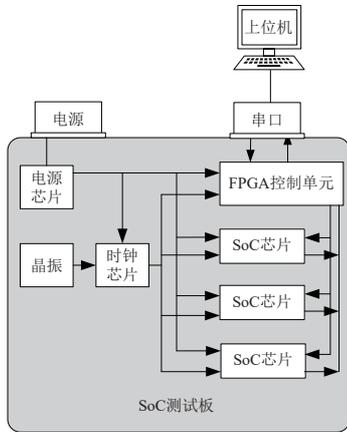


图3 单粒子效应测试系统硬件组成示意
Fig. 3 Schematic diagram of the hardware system for single particle test

整个板卡主要包括对外接口、FPGA控制单元和SoC测试芯片3部分。系统对外接口包括电源接口和DB9串口，外接电源通过电源接口接入到

板卡中的电源转换芯片，由该芯片完成电压转换后提供给整个系统。FPGA控制单元完成系统测试控制和数据交互工作。

测试时，FPGA控制单元接收来自上位机的控制指令，做出响应，输出相关的测试激励；SoC接收到测试激励后在辐照环境下完成响应，即相应的功能测试，并将测试结果打包送至FPGA控制单元；FPGA控制单元收到测试结果后，负责将其通过DB9接口发送至上位机中进行显示和储存。

2.3 试验测试内容

2.3.1 单粒子翻转测试

对被测器件进行单粒子效应测试时，测试系统主要是使被测器件处在工作状态，同时监测被测器件对单粒子翻转的敏感性。具体测试步骤见图4。当累积注量达到 10^7 粒子/cm²或约定条件(如出错总数达到100)时，测试人员可通过测试软件结束本次测试，切换器件模式或粒子种类，进行后续辐照试验。

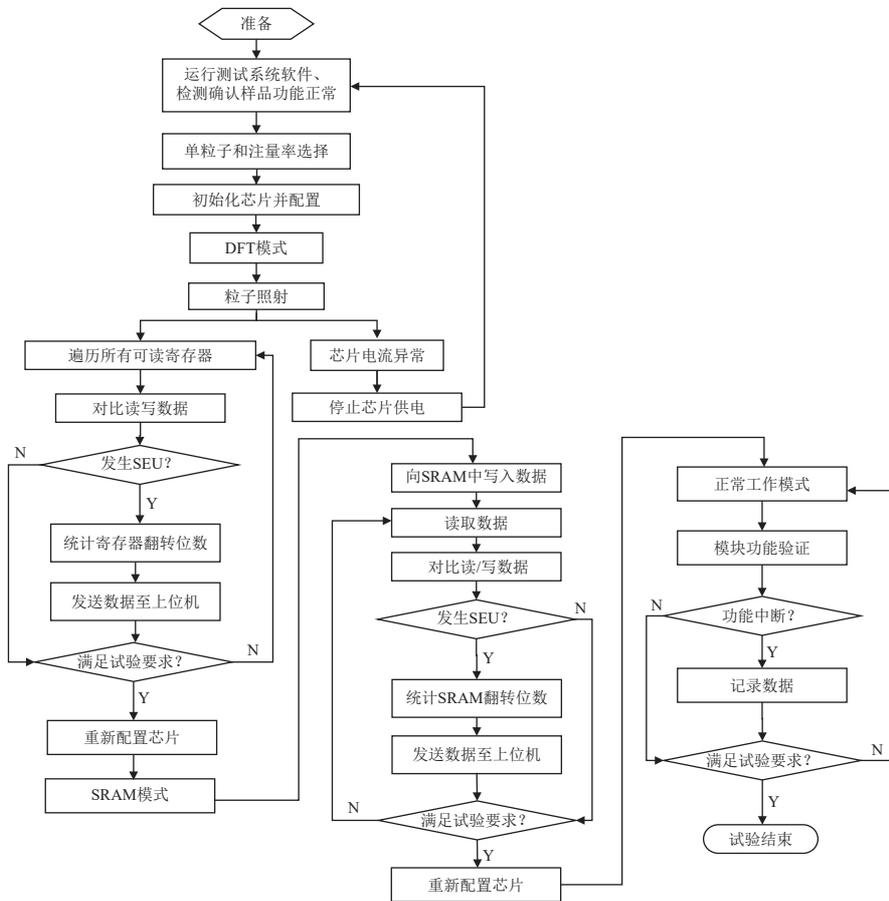


图4 单粒子效应测试流程
Fig. 4 Process for the single event effect test

单粒子翻转测试中的主要模式配置如下:

1)SRAM 测试

FPGA 配置 SoC 电路为 SRAM 在 TRM 模式下进行翻转检测,向连续的地址写入 0xaaaaaaaa,32 个地址作为 1 个单位;写入数据后,对其进行循环读取,将第 N 次的读取数据作为第 $N+1$ 次读取数据的比对标准,如果发生错误,错误数累加;累积辐照至规定注量,停止粒子辐照,对器件进行复位,然后继续进行辐照测试;重复上述操作至错误总数或累积总注量达到预设值,试验停止。

2)DFT 测试

FPGA 根据接收到的上位机指令,将 SoC 电路配置为 DFT 模式,管脚 DFT_BIST_MODE 配置为 0,管脚 DFT_SCAN_MODE 配置为 1,使能信号管脚 DFT_SCAN_MODE 配置为 1,输入时钟引脚为 AD_CLK。AD_DATA_L[15:0]、AD_DATA_H[15:0]、M_UART0_RXD、M_UART0_TXD、M_UART1_RXD、M_UART1_TXD、M_SPF_S_SCK、M_SPF_S_CS、M_SPF_S_DAT、M_SPF_M_SCK 管脚为扫描输入,扫描观测输出为 EBI_ADDR[22:0]、EBI_DATA[15:0]、EBI_OEN,SoC 内部所有扫描链可遍历绝大多数寄存器。

测试激励参考常规功能测试的 DFT 测试码。

测试分为带 TRM 和无 TRM 的扫描链 2 种测试模式,分别记录试验结果。对带 TRM 的扫描链累积辐照至规定注量,停止粒子辐照,对器件进行复位,然后继续进行辐照测试,重复上述操作至错误总数或累积总注量达到预设值,试验停止。

2.3.2 单粒子功能中断测试

1)UART 模块

①设置 UART0 波特率为 115 200,1 位停止位,无校验,收发使能;

②FPGA 控制器端将 UART0 串口的发送端和接收端相连;

③测试内部 UART0 的寄存器初始状态;

④CPU 向 UART0 写数据(5×32 bit),同时将写入的数据通过 FPGA 控制端发送给 UART0;

⑤CPU 读取 FPAG 控制端发送的数据,与 CPU

写入数据进行比较,以验证数据传输的正确性。

2)TIMER 定时器模块

①设置 TIMER0/TIMER1 为周期模式,步进精度为 0 级,32 bit 宽度,循环模式,将 50 ms 的定时初值写入定时器;

②在定时器中断中,配置 GPIO20,使其产生周期为 100 ms 的方波输出给 FPGA 控制端;

③FPGA 控制端对输入方波进行测试,如果测试结果正确,则通过触发 SoC 的 GPIO19 管脚,产生 GPIO 中断,告知 CPU 测试结果。

3)SPI 模块

①配置 SPI 空闲时钟为高,数据传输低位优先,奇数边沿采样,使能 SPI 模块;

②通过 SPI 总线,向 W25X20 Flash 最后一个片区写入数据(256×32 bit);

③CPU 通过 SPI 总线读取 W25X20 Flash 最后一个片区写入的数据,与 CPU 写入数据进行比较,以验证数据传输的正确性。

4)EBI 模块

①配置 EBI 片选 0 为访问 Flash 时序;

②通过 EBI 总线接口,向 EBI Flash 最后一个片区写入数据(256×32 bit);

③CPU 通过 EBI 总线接口读取 EBI Flash 最后一个片区写入的数据,与 CPU 写入数据进行比较,以验证数据传输的正确性。

5)GPIO 模块

①配置 GPIO23(主核 GPIO23,从核 GPIO29)为 GPIO 输出,GPIO24(主核 GPIO24,从核 GPIO30)为输入;

②通过 FPGA 控制端将 GPIO23/GPIO29 与 GPIO24/GPIO30 连接;

③CPU 配置 GPIO23/GPIO29 为高低电平输出后,再读取 GPIO24/GPIO30 的相应输入值,进行比较以验证 GPIO 的正确性。

6)SPF 模块

①配置 SPF1 为主模式发送、SPF0 为从模式接收,片选低有效,字节内 bit 由低到高,时钟空闲为高;

②FPGA 控制端将 SPF1 与 SPF0 的时钟、片选、数据线相连接;

③CPU 通过 SPF1 发送数据(5×32 bit), 将 SPF0 接收到的数据与发送数据进行比较, 以验证 SPF 模块传输的正确性。

7)核中断模块

①配置主、从核模块各自的核中断功能;

②在主核中 CPU 轮询触发从核的 8 个核中断;

③在从核中断服务函数中, 通过共享寄存器给主核以应答;

④主核读取共享寄存器, 判断从核是否能够正常响应核中断;

⑤在从核中 CPU 轮询触发主核的 8 个核中断;

⑥在主核中断服务函数中, 通过共享寄存器给从核以应答;

⑦从核读取共享寄存器, 判断主核是否能够正常响应核中断。

8)浮点计算模块

在该模块中, 通过一段计算 Π 的算法函数进行验证。CPU 每执行 1 次该算法程序, 就将计算出的 Π 值与理论值进行比较, 以验证 CPU 的浮点计算功能。

2.3.3 单粒子锁定测试

对被测器件进行单粒子锁定测试时, 辐照过程中测试器件在电源电压上拉 10%、最高工作频率条件下的功能输出及工作电流, 当被测器件的工作电流突然大于设定值(如, 正常工作电流的 1.5 倍), 表明器件功能异常; 若停止辐照后器件功能不能自行恢复, 重新上电后可恢复正常, 则判断器件发生单粒子锁定。

3 试验结果分析

利用 HI-13 串列加速器及 HIRFL 回旋加速器产生的 Si、Ti、Ge、Ta 离子对器件开展了单粒子效应测试, 其中 Ta 离子、Ge 离子、Ti 离子和 Si 离子的 LET 值分别为 81.4、37.4、21.8、21.8 MeV·cm²·mg⁻¹。单粒子翻转截面数据处理结果见表 1。需要说明的是: 因试验采用多个样品重复进行, 部分试验轮次单粒子翻转未达到 100 次, 但已满足翻转截面数据统计的需求, 可结束该轮次试验。

表 1 单粒子翻转截面数据处理结果

测试模式	入射离子	截面/器件	测试模式	入射离子	截面/器件
DFT	Ta	3.51×10^{-2}	DFT	Ti	9.50×10^{-3}
SRAM		1.90×10^{-4}	SRAM		4.69×10^{-5}
功能		8.57×10^{-6}	功能		4.10×10^{-6}
DFT	Ge	3.30×10^{-2}	DFT	Si	5.18×10^{-3}
SRAM		7.11×10^{-5}	SRAM		1.54×10^{-5}
功能		4.42×10^{-6}	功能		5.72×10^{-7}

4 ForeCAST 软件拟合计算结果

利用中国空间技术研究院具有自主知识产权的单粒子效应预示软件 ForeCAST 对 NS9xxU 型 SoC 器件的单粒子翻转和功能中断截面进行拟合计算, 所用的 4 种离子以及截面参数参见表 1。

DFT 模式单粒子翻转截面与 LET 值变化曲线如图 5 所示, 饱和截面为 $3.505 \times 10^{-2} \text{ cm}^2 \cdot \text{bit}^{-1}$, 取 10% 饱和截面对应 LET 值 13.7 MeV·cm²/mg 为阈值, 资源数 499 033 bit, 在 GEO、Adams 90% 最坏环境模型, 3 mm(Al) 屏蔽条件下, 计算得到器件 DFT 模式单粒子翻转率为 $6.80 \times 10^{-8} \text{ d}^{-1} \cdot \text{bit}^{-1}$ 。

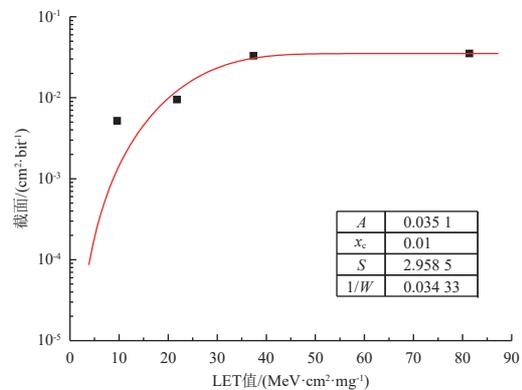


图 5 DFT 模式单粒子翻转截面与 LET 值变化曲线
Fig. 5 Single event upset cross section vs. LET value for DFT mode

SRAM 模式单粒子翻转截面与 LET 值变化曲线如图 6 所示, 饱和截面为 $1.9 \times 10^{-4} \text{ cm}^2 \cdot \text{bit}^{-1}$, 取 10% 饱和截面对应 LET 值 12.8 MeV·cm²/mg 为阈值, 资源数 14.8 Mbit, 在 GEO、Adams 90% 最坏环境模型, 3 mm(Al) 屏蔽条件下, 计算得到器件 SRAM 模式单粒子翻转率为 $5.61 \times 10^{-11} \text{ d}^{-1} \cdot \text{bit}^{-1}$ 。

单粒子功能中断截面与 LET 值变化曲线如图 7 所示, 饱和截面为 $8.57 \times 10^{-6} \text{ cm}^2 / \text{器件}$, 取 10% 饱和截面对应 LET 值 10.18 MeV·cm²/mg 为阈值, 在 GEO、Adams 90% 最坏环境模型, 3 mm(Al) 屏蔽条件下, 计算得到器件单粒子功能中断率为 $5.24 \times 10^{-5} \text{ d}^{-1}$ 。

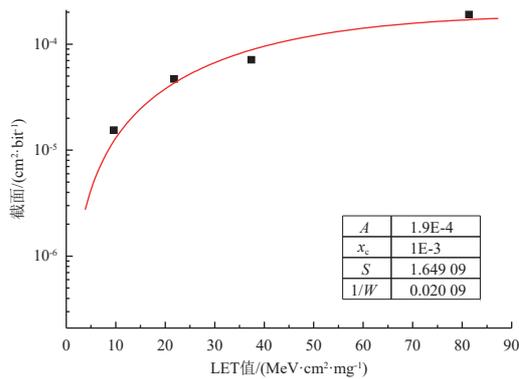


图 6 SRAM 模式单粒子翻转截面与 LET 值变化曲线
Fig. 6 Single event upset cross section vs. LET value for SRAM mode

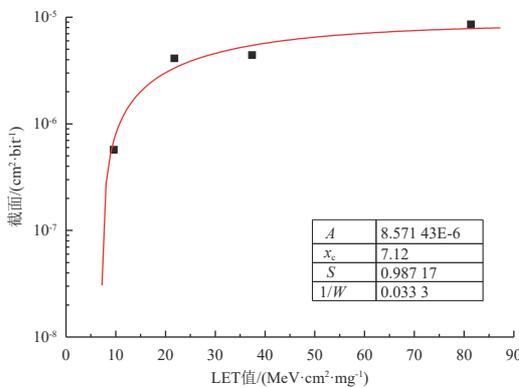


图 7 单粒子功能中断截面与 LET 值变化曲线
Fig. 7 Single event functional interruption cross section vs. LET value

5 结束语

对某多频多模导航 SoC 器件进行单粒子效应测试可以看出: 该器件在 Ta 离子辐照下的单粒子锁定阈值为 $81.4 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, 满足地球轨道航天器对单粒子锁定效应的指标要求 (SEL 阈值 $\text{LET} \geq 75 \text{ MeV}\cdot\text{cm}^2/\text{mg}$)。

然而该器件对单粒子功能中断效应和单粒子翻转效应比较敏感, 主要原因可能是 55 nm 工艺条件下, 器件有源区面积显著缩小, 进而导致器件对于单粒子入射电离出电子-空穴对的灵敏体积减小; 因此, 相比 $0.13 \mu\text{m}$ 以上工艺节点的器件, 55 nm 工艺器件更容易导致存储节点发生翻转。针对本文中的导航 SoC 电路, 在具体使用时需要采取相应的

加固措施, 例如, 需要在系统级进行定时刷新或对 SRAM 区采取 EDAC 校验, 以满足宇航型号的抗单粒子翻转要求, 保证卫星在轨可靠运行。

参考文献 (References)

- [1] 王阳元. 21 世纪硅微电子技术三个重要发展方向: 缩小器件尺寸、系统集成芯片 (SoC)、产业增长点[J]. 华东科技, 2007(5): 86-88
- [2] 刁胜龙, 韩淦, 童雨, 等. 塑封 SoC 器件鉴定试验方法研究[C]//2019 航空装备服务保障与维修技术论坛暨中国航空工业技术装备工程协会年会. 南昌, 2019
- [3] YOUNGBLOOD R. 测试复杂的多总线 SoC 器件[J]. 电子设计应用, 2004(4): 20-22
- [4] 胡志勇. 挑战现有测试技术的 SoC 器件[J]. 世界电子元器件, 2004(3): 75-77
HU Z Y. SoC challenge of present testing method[J]. Global Electronics China, 2004(3): 75-77
- [5] MARENA T. RISC-V: 改变 SoC 器件的开发[J]. 中国电子商情: 基础电子, 2017(12): 34-35
- [6] 王少军, 马宁, 厉明坤, 等. 空间辐射环境下可编程 SOC 器件单粒子翻转检测系统及方法: CN106484581A[P]. 2017-03-08
- [7] 李小波, 段青亚, 杨阳. 宇航用 SoC 可靠性设计方法研究[C]//中国宇航学会. 2014 航天可靠性学术交流会. 北京, 2014
- [8] 黄嵩人, 魏敬和, 虞致国, 等. 基于功能的 SoC 可测试性设计及系统级调试[J]. 电子器件, 2008, 31(4): 1210-1213
HUANG S R, WEI J H, YU Z G, et al. SoC DFT design based on function and ESL debug[J]. Chinese Journal of Electron Devices, 2008, 31(4): 1210-1213
- [9] 王立华. 基于 FPGA 的系统芯片 (SoC) 原型验证研究与实现[D]. 济南: 山东大学, 2006
- [10] 孙磊, 张颖, 潘亮. CMOS SoC 芯片 ESD 保护设计[J]. 中国集成电路, 2011(8): 39-45
SUN L, ZHANG Y, PAN L. ESD protection technology of CMOS SoC IC[J]. China Integrated Circuit, 2011(8): 39-45
- [11] ROWEN C, 锄禾. SoC 处理器的定标原则[J]. 电子设计应用, 2003(4): 7-9
- [12] 黄辰. 一种基于 FPGA 的 SoC 设计[J]. 电脑知识与技术, 2014(31): 7480-7482

(编辑: 闫德葵)

一作简介: 杨 榕 (1984—), 男, 硕士学位, 高级工程师, 从事航天型号物资管理、空间环境研究等工作。E-mail: 282132553@qq.com。

*通信作者: 梅 博 (1987—), 男, 博士学位, 高级工程师, 主要从事宇航元器件辐射效应机理及评价方法研究。E-mail: malboo@126.com。